



2P, 2314

**PATENT**  
Docket No. JCLA8065  
page 1

**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

In re application of : YUAN-LIANG WU et al.

Application No. : 10/065,379

Filed : October 10,2002

For : STORAGE CAPACITOR STRUCTURE

**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

December 12, 2002

(Date)

Jiawei Huang, Reg. No. 43,330

Examiner :

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. **90127128** filed on **November 01, 2001**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA8065).

Date: 12/12/2002

By:   
Jiawei Huang  
Registration No. 43,330

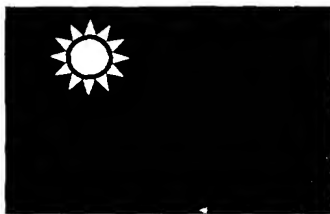
**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
(949) 660-0761

RECEIVED  
DEC 25 2002  
FEDERAL BUREAU OF INVESTIGATION

SCA 8063

10/065.319



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 11 月 01 日  
Application Date

申請案號：090127128  
Application No.

申請人：奇美電子股份有限公司  
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2002 年 11 月 12 日  
Issue Date

發文字號：  
Serial No.

09111022073

0002 2002 02 030

2002 02 030

RECEIVED

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	畫素儲存電容器結構
	英 文	
二、發明 創作人	姓 名	1 吳永良 2 郭晉榮
	國 籍	中華民國
	住、居所	1 台南縣鹽水鎮竹埔里竹子腳 10 鄰 55 號 2 高雄縣路竹鄉竹東村 14 鄰中興路 147 之 1 號
三、申請人	姓 名 (名稱)	奇美電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台南縣台南科學工業園區新市鄉奇業路 1 號
	代 表 人 姓 名	許文龍

裝

訂

線

## 四、中文發明摘要(發明之名稱: 畫素儲存電容器結構)

一種畫素儲存電容器結構，包括一第一電容電極形成於一基板上。一電容介電層形成於第一電容電極上。一第二電容電極形成於電容介電層上。一保護層覆蓋過於第二電容電極上，其中保護層有一開口，暴露出第二電容電極。一畫素電極層覆蓋於保護層上，其中畫素電極層有一凸出部分，其透過保護層之開口與第二電容電極連接。當第一電容電極與第二電容電極短路時，凸出部分可被切割分離於第二電容電極。

## 英文發明摘要(發明之名稱: )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明（ / .）

本發明是有關於關於一種顯示器裝置，且特別是有關於一種畫素儲存電容器結構。

顯示器於日常生活中，是常見的裝置。特別是使用的電視或電腦必須備有一顯示器，使影像能顯示於顯示器的螢幕上，呈現給使用者。一般顯示器若是以陰極射線設計，其需要很大的空間，造成不便。尤其是，筆記型電腦無法與陰極射線的顯示器一起使用。因此由點陣列設計形成的平面顯示器產品，例如顯示器(liquid crystal display, LCD)或是薄膜電晶體(thin film transistor, TFT)液晶顯示器，已被成功推出。薄膜電晶體液晶顯示器的圖像是由一畫素陣列所構成。每一個畫素由一薄膜電晶體所控制。

請參閱第 1 圖，第 1 圖繪示習知薄膜電晶體液晶顯示器的驅動電路。薄膜電晶體液晶顯示器包括一掃描電路(scanning circuit)100 及一信號保持電路(signal-holding circuit)102。掃描電路 100 驅動一組掃描線 110，而信號保持電路 102 驅動一組信號線 112。掃描線 110 與信號線 112 交叉構成一二維陣列。二維陣列的每一交叉點，包括有一薄膜電晶體 104，一畫素儲存電容 108，及一液晶顯示胞 106，如此形成一畫素。薄膜電晶體 104 的閘極由對應的掃描線 110 控制，而薄膜電晶體 104 的源極由對應的信號線 112 控制。薄膜電晶體 104 的汲極連接於一畫素電極層，也同時連接畫素儲存電容器 108 之一電極。畫素儲存電容 108 是用於維持控制液晶所需的電壓。畫素儲存電容 108 的另一電極，在更早期技術可連接於相鄰的掃描線。

## 五、發明說明(2)

另外，隨著薄膜電晶體液晶顯示器的大尺寸化，為降低驅動的閘極延遲效應(gate delay)的影響，現今畫素以一共通電極型畫素儲存電容(Cst On Common)為設計主流。此種型式設計，係採取共通電極(common)與閘極分離的做法，使電容之另一電極連接到一共通電壓，例如一共通電極(common electrode, Vcom)。

請參閱第 2A 圖，第 2A 圖繪示一習知薄膜電晶體液晶顯示器的佈局結構。薄膜電晶體 104 之閘極連接於掃描線 110。薄膜電晶體 104 的源極連接到對應的信號線 112。薄膜電晶體 104 的汲極連接到畫素電極層 118。另外畫素儲存電容器由一共通下電極 114 與上電極 116 所構成。畫素電極層 118 透過一開口 120 與上電極 116 連接。

請參閱第 2B 圖，第 2B 圖繪示於第 2A 圖中沿 I-I 線的剖面圖。下電極 114 形成於一透明基板 126 上。下電極 114 一般又稱為第一金屬層，其一般與薄膜電晶體 104 的閘極共同定義形成。接著，一電容介電層 124 形成覆蓋於下電極 114 上。一金屬電極層 116 形成於電容介電層 124 上作為儲存電容之上電極 116，其與下電極 114 重疊的部份，為主要電荷儲存位置。一保護層 122 形成覆蓋過於電容上電極 116，且覆蓋其他部分。保護層 122 有一開口 120，暴露出電容上電極 116。一畫素電極層 118 透過開口 120，可與電容上電極 116 連接。另外，其他結構以完成液晶顯示器，例如於畫素電極層 118 上之一液晶層(未示)等，為習此技藝者熟知，於此不再詳述。

## 五、發明說明(3)

上述習知結構中，當陣列製造過程中，若有異物 115 殘留於電容器附近，特別是於電容下電極 114 的邊緣容易沉積異物，其可能引起短路，使畫素儲存電容 108 失去效應，造成此畫素的亮點缺陷。異物 115 殘留時，一般除了用雷射將異物除去以外，同時會使共通電極 114 造成為斷線。斷線會造成閘極淡線的發生。因此為防止淡線的發生，當有缺陷的電容器所產生的點缺陷發生時，一般的做法則傾向於不修補此點缺陷，因而形成亮點。

但是，現今市場對顯示器的畫像品質，其要求越益嚴苛。如何將亮點以雷射修補的技術，將亮點修補成暗點，以達到零亮點的目標，是目前的主流趨勢。目前上述的雷射修補技術，無法做暗點化，因為現有的暗點化技術，會使共通電極與閘極短路而造成亮線缺陷。因此如何解決儲存電容器之點缺陷，無法做暗點化的問題，為進一步提昇畫像品質的重要關鍵。

有鑑於此，本發明提供一畫素儲存電容器結構。當電容器之二電極短路時，畫素電極可與電容器之電容電極切割分離。如此畫素電極作為電容器之一電極，其與電容電極重疊部分仍可構成一儲存電容器。

本發明提供一種畫素儲存電容器結構，包括一第一電容電極形成於一基板上。一電容介電層形成於第一電容電極上。一第二電容電極形成於電容介電層上。一保護層覆蓋過於第二電容電極上，其中保護層有一開口，暴露出第二電容電極。一畫素電極層覆蓋於保護層上，其中畫素

(請先閱讀請背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(4)

電極層有一凸出部分，其透過保護層之開口與第二電容電極連接。當第一電容電極與第二電容電極短路時，凸出部分可被切割分離於第二電容電極。

上述之畫素儲存電容器結構，其中當第一電容電極與該第二電容電極短路時，凸出部分被切割分離於第二電容電極，此時畫素電極層也作為畫素儲存電容器之一上電極。

上述之畫素儲存電容器結構，其中畫素電極層之凸出部分包括一頸部與一連接部分，其中頸部可被切割分離，而連接部分與第二電容電極連接。

上述之畫素儲存電容器結構，其中畫素電極層在凸出部分外，仍與第二電容電極及第二電容電有一重疊部分。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示繪示習知薄膜電晶體液晶顯示器的驅動電路；

第 2A 圖繪示一習知薄膜電晶體液晶顯示器的佈局結構；

第 2B 圖繪示於第 2A 圖中沿 I-I 線的剖面圖；

第 3A 圖繪示依照本發明，薄膜電晶體液晶顯示器的佈局結構；

第 3B 圖繪示依照本發明，於第 3A 圖中沿 II-II 線的

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明(5.)

剖面圖；

第 3C 圖繪示依照本發明，於第 3B 圖中區域放大圖；  
以及

第 4 圖繪示依照本發明，另一薄膜電晶體液晶顯示  
器的佈局結構。

標號說明：

100	掃描電路
102	信號保持電路
104	薄膜電晶體
106	畫素液晶
108	儲存電容
110	掃描線
112	信號線
114	共通電極線
115	異物
116	電容上電極
118, 200	畫素電極
120, 202	開口
122	保護層
124	電容介電層
126	基板
400	薄膜電晶體
410, 410a	畫素電極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (b.)

### 實施例一

本發明的主要特徵之一包括一具有凸出物的畫素電極層。當儲存電容器之二電極短路時，畫素電極可與儲存電容器之電容電極切割分離。如此畫素電極作為儲存電容器之一電極，其與電容電極重疊部分仍可構成一儲存電容器。

第 3A 圖繪示依照本發明，薄膜電晶體液晶顯示器的佈局結構。於第 3A 圖中，薄膜電晶體 104 之閘極連接於掃描線 110。薄膜電晶體 104 的源極連接到對應的信號線 112。薄膜電晶體 104 的汲極連接到一畫素電極層 200。另外畫素儲存電容器由一電容下電極 114 與一電容上電極 116 所構成。畫素電極層 200 透過一開口 202 與電容上電極 116 連接。薄膜電晶體 104 的作用，一般而言類似於一開關元件，可控制液晶電容的充電狀態。而開口 202 的形成可由一般，例如微影蝕刻，的定義製程達成。

本發明的主要特徵在於，此畫素電極層 200 上，於區域 204 處，形成有一凸出物。畫素電極層 200 以此凸出物透過開口 202 與電容上電極 116 連接。凸出物包括一頸部，可與畫素電極層 200 的本體經切開隔離。較詳細的結構描述如下。

第 3B 圖繪示依照本發明，於第 3A 圖中沿 II-II 線的剖面圖。下電極 114 形成於一透明基板 126 上。下電極 114 一般又稱為第一金屬層，其一般與薄膜電晶體 104 的閘極共同定義形成。接著，一電容介電層 124 形成覆蓋於下電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 7 )

極 114 上。一金屬電極層 116 形成於電容介電層 124 上作為儲存電容之上電極 116，其與下電極 114 重疊的部份，為主要電荷儲存位置。一保護層 122 形成覆蓋過於電容上電極 116，且覆蓋其他部分。保護層 122 有一開口 120，暴露出電容上電極 116。而開口 202 的形成可由一般，例如微影蝕刻，的定義製程達成。一畫素電極層 200 透過開口 202，與電容上電極 116 連接。畫素電極層 200 包括一畫素電極本體 200b 與一凸出物 200a。於此剖面圖，凸出物 200a 與畫素電極本體 200b 是分離的，但是二者連接於一頸部 200c，可見於第 3C 圖。

第 3C 圖繪示依照本發明，於第 3A 圖中區域 204 之放大圖。為了易於區分，畫素電極層 200 以斜線標示出。凸出物 200a 由一連接部分 200d 與一頸部 200c 所形成。第 3C 圖之凸出物 200a，例如是一種朝向畫素電極 200 內部的一內凸結構。頸部 200c 位於畫素電極本體 200b 與連接部分 200d 之間。請同時參閱第 3B 與 3C 圖，當異物 115 造成電容上電極 116 與電容下電極 114 短路時，電容的電荷儲存功能消失，而施加於電容下電極 114 的共通電壓  $V_{com}$  也會傳至畫素電極層 200，因此造成此畫素亮點。

當畫素亮點產生時，因本發明的畫素電極層 200 設計有凸出物 200a，畫素亮點可被輕易修復，其僅將凸出物 200a 的頸部 200c 切斷，例如用雷射於 A-A 處，將頸部 200c 切斷。如此，凸出物 200a 之連接部分 200d 與畫素電極本體 200b 隔離。第 3B 圖的凸出物 200a 就與畫素電極本體

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(8)

200b 隔離。

當頸部 200c 切斷後，因為電容上電極 116 與電容下電極 114 仍維持短路，其與連接部 200d 具有共同電位。然而，畫素電極本體 200b 仍維持與薄膜電晶體 104 連接，由其控制電壓，不受共通電壓  $V_{com}$  影響。換句話說，此時畫素電極本體 200b 本身也做為儲存電容的上電極。畫素電極本體 200b 與上電極 116 及電容下電極 114 重疊部分，提供電容效應。如此，此畫素所需的電容值，仍能約略保持。此畫素經修復後仍可正常工作，其也不是一固定暗點。因此本發明也不同于習知技術的暗點化處理。

本發明結論，至少具有下述優點：本發明的畫素電極層 200 包括一向內的凸出物 200a。當電容器之二電極短路時，畫素電極可由凸出物 200a 之頸部 200c 切割分離。如此畫素電極作為電容器之一電極，其與電容電極重疊部分仍可構成一儲存電容器。

### 實施例二

上述本發明凸出物 200a 的特徵也可實施於電容於閘極(Cs on Gate)的設計。第 4 圖繪示依照本發明，另一薄膜電晶體液晶顯示器，依照電容於閘極上的設計之佈局結構。此結構之薄膜電晶體 400 包括一閘極 402，一源極 404，一汲極 406，以及一通道 408。源極 404 與汲極 406 一般由金屬層形成，而通道 408 通常是由非晶矽(amorphous silicon)所形成。在電容於閘極上的設置，其閘極 402 本身

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

除了當作掃描線 110(見第 3A 圖)之用外，也是當作電容之下電極 402 之用。故閘極(下電極)402 與上電極 116 構成所需之一儲存電容。薄膜電晶體 400 的源極 404 連接到信號線 112，而汲極 406 連接到一畫素電極 410。

畫素電極 410 如前述實施例的特徵，也包括一凸出物 410a，例如是一內凸結構。凸出物 410a 包括一連接部分 410b 與一頸部 410c 所形成。連接部分 410b 透過開口 202 與上電極 116 電性連接，因此與汲極 406 連接，由薄膜電晶體 400 所控制。

當閘極(下電極)402 與上電極 116，因製造過程中的殘留物而短路時，凸出物 410a 的頸部 410c 於 B 處，可被切開，因此畫素電極 410 與電容隔離。而畫素電極 410 與上電極 116 及下電極 402 的部分，也可當作一對等電容。因此大約仍可維持畫素的正常操作。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

1. 一種畫素儲存電容器結構，形成於一基板上，該電容器結構包括：

- 第一電容電極形成於該基板上；
- 電容介電層形成於該第一電容電極上；
- 第二電容電極形成於該電容介電層上，構成一畫素儲存電容器；

一保護層覆蓋過於該第二電容電極上，其中該保護層有一開口，暴露出該第二電容電極；以及

一畫素電極層，覆蓋於該保護層上，其中該畫素電極層有一凸出部分，其透過該保護層之該開口與該第二電容電極連接。

2. 如申請專利範圍第 1 項所述之畫素儲存電容器結構，其中該畫素電極層之該凸出部分，當該第一電容電極與該第二電容電極短路時，可被切割分離於該第二電容電極。

3. 如申請專利範圍第 1 項所述之畫素儲存電容器結構，其中當該第一電容電極與該第二電容電極短路時，該凸出部分被切割分離於該第二電容電極，此時該畫素電極層也作為該畫素儲存電容器之一上電極。

4. 如申請專利範圍第 1 項所述之畫素儲存電容器結構，其中該畫素電極層之該凸出部分包括一頸部與一連接部分，其中該頸部可被切割分離，而該連接部分與該第二電容電極連接。

5. 如申請專利範圍第 4 項所述之畫素儲存電容器結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

構，其中該畫素電極層之該凸出部分為一內凸結構。

6. 如申請專利範圍第 1 項所述之畫素儲存電容器結構，其中該畫素電極層與一開關連接。

7. 如申請專利範圍第 1 項所述之畫素儲存電容器結構，其中該畫素電極層與一薄膜電晶體連接。

8. 如申請專利範圍第 7 項所述之畫素儲存電容器結構，其中該第一電容電極係該薄膜電晶體之一閘極之一部分。

9. 如申請專利範圍第 1 項所述之畫素儲存電容器結構，其中該第二電容電極連接於一共通電源。

10. 如申請專利範圍第 1 項所述之畫素儲存電容器結構，其中該畫素電極層在該凸出部分外，仍與該第一電容電極及該第二電容電有一重疊部分。

11. 一種液晶顯示裝置，包括：

複數條掃描線；

複數條信號線；以及

複數個畫素，每一畫素包括一液晶單元，具有一畫素電極連接至一儲存電容，以及一開關元件，連接該液晶單元與該些信號線之一，該開關元件之一連接至該些掃描線之一；

其中，該畫素電極具有一突出部分且經由該突出部分與該儲存電容之一上電極電性連接。

12. 如申請專利範圍第 11 項所述之液晶顯示裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

其中，該該畫素電極層之該凸出部分包括一頸部與一連接部分，其中該頸部可被切割分離，而該連接部分與該儲存電容之一上電極連接。

13. 如申請專利範圍第 12 項所述之液晶顯示裝置，其中，當該儲存電容知該上電極與該下電極短路時，該凸出部分可被切割分離於該畫素電極。

14. 如申請專利範圍第 11 項所述之液晶顯示裝置，其中，該開關元件包括一薄膜電晶體。

15. 如申請專利範圍第 11 項所述之液晶顯示裝置，其中，該凸出部分包括一內凸結構。

16. 如申請專利範圍第 11 項所述之液晶顯示裝置，其中，該上電極係為該開關元件之一閘極之一部份。

17. 一種畫素儲存電容器之形成方法，包括：

提供一基板；

形成一第一電容電極於該基板上；

形成一電容介電層於該第一電容電極上；

形成一第二電容電極於該電容介電層上，構成一畫素儲存電容器；

形成一保護層，覆蓋過於該第二電容電極上；

定義該保護層，形成一開口，暴露出該第二電容電極；以及

形成一畫素電極層，覆蓋於該保護層上，其中該畫素電極層有一凸出部分，其透過該保護層之該開口與該第二電容電極連接，該凸出部分可被切割分離於該第二電容

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 六、申請專利範圍

電極。

18. 如申請專利範圍第 17 項所述之畫素儲存電容器之形成方法，其中當該第一電容電極與該第二電容電極短路時，切割該凸出部分以分離於該第二電容電極，此時該畫素電極層也作為該畫素儲存電容器之一上電極。

19. 如申請專利範圍第 17 項所述之畫素儲存電容器之形成方法，其中形成一畫素電極層之該步驟包括：

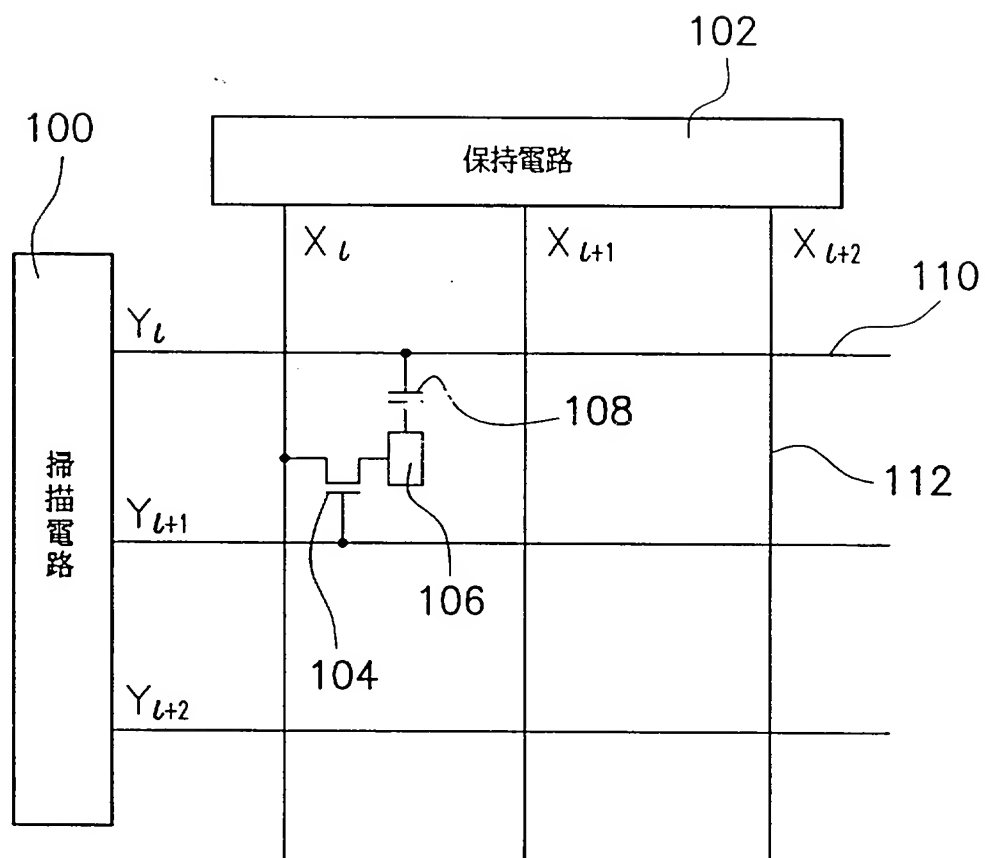
形成一畫素電極層，覆蓋於該保護層，且透過該開口與該第二電容電極連接；以及

定義該畫素電極層，於該開口形成該凸出部分，該凸出部分包括一頸部與一連接部分，其中該頸部可被切割分離，而該連接部分與該第二電容電極連接。

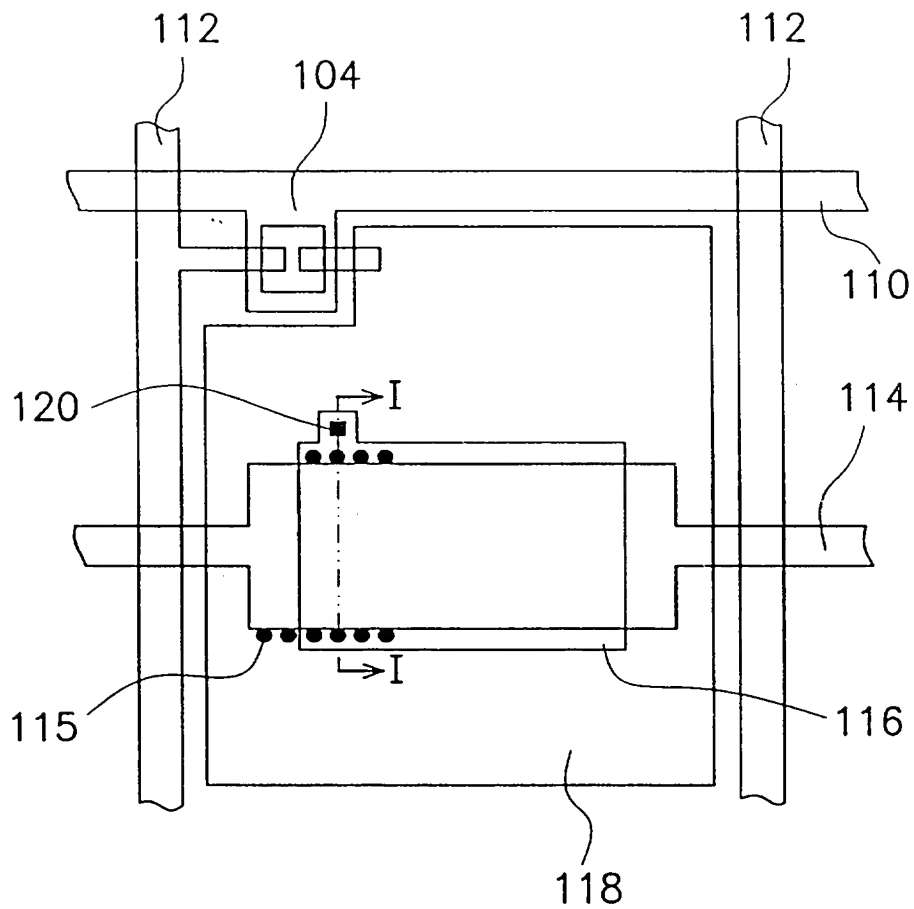
20. 如申請專利範圍第 17 項所述之畫素儲存電容器之形成方法，其中定義該保護層之步驟，包括形成一接觸窗開口，暴露出一薄膜電晶體之一汲極。

(請先閱讀背面之注意事項再填寫本頁)

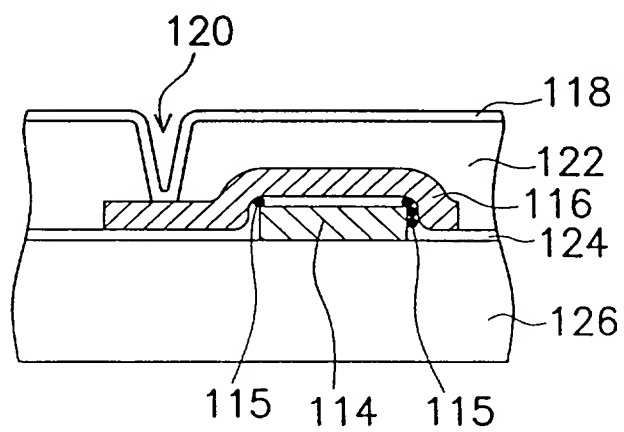
裝  
訂  
線



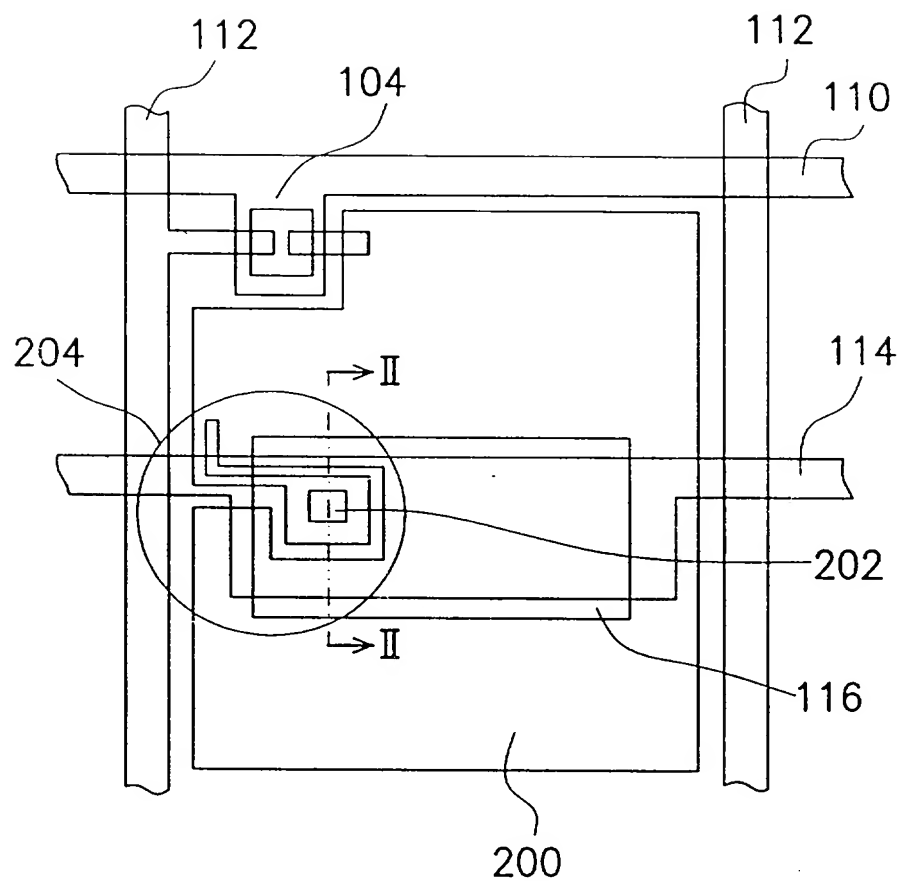
第 1 圖



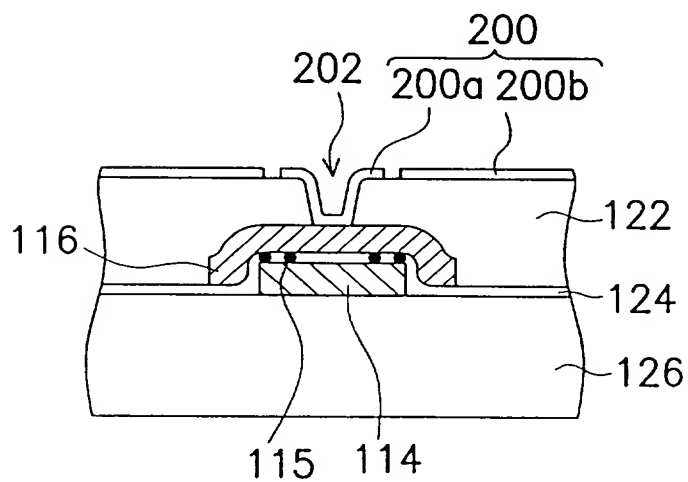
第 2A 圖



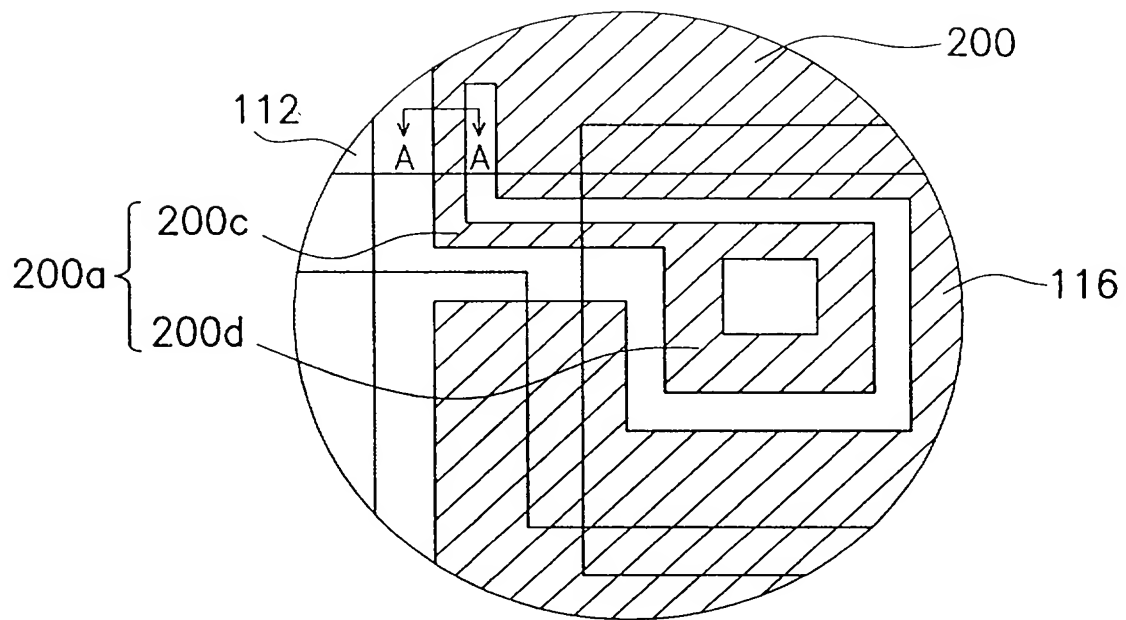
第 2B 圖



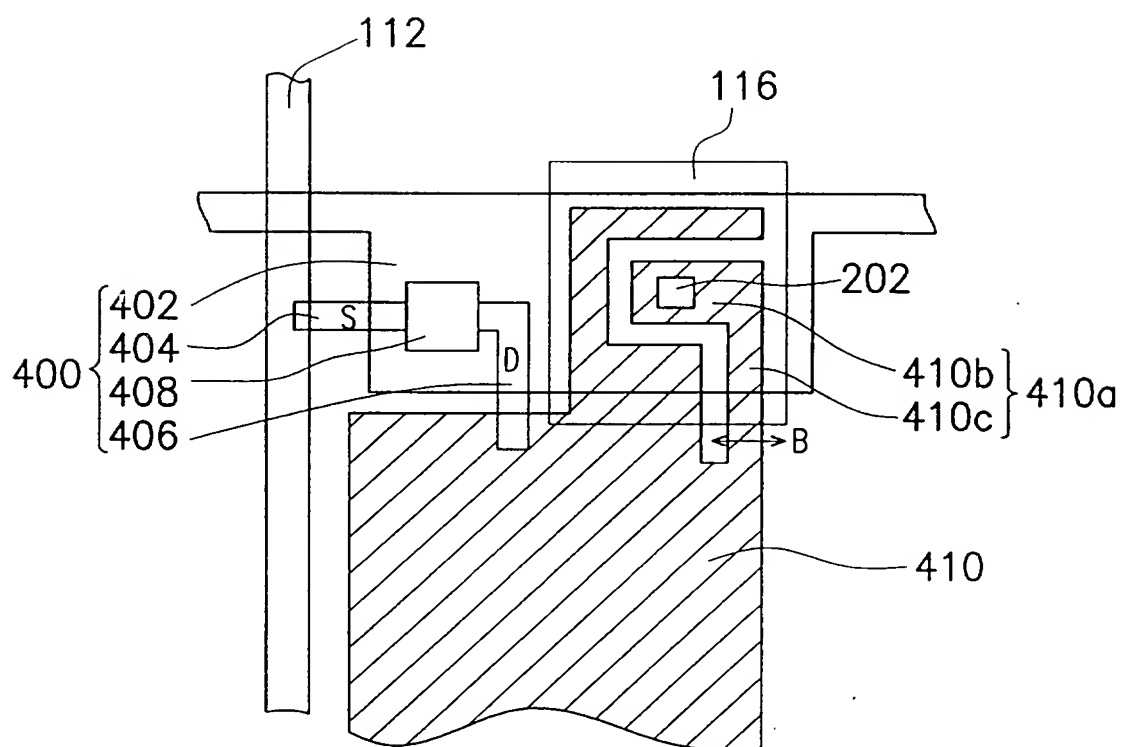
第 3A 圖



第 3B 圖



第 3C 圖



第 4 圖